

PCT/JP03/13436
24 MAR 2005
21.10.03

日 本 国 特 許
JAPAN PATENT OFFICE

REC'D 07 NOV 2003
PCT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2002年10月31日

出 願 番 号
Application Number: 特願2002-318579
[ST. 10/C]: [JP2002-318579]

出 願 人
Applicant(s): ソニー株式会社

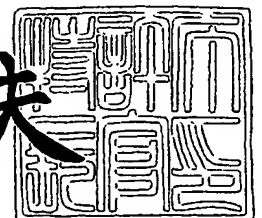
BEST AVAILABLE COPY

PRIORITY
DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1 (a) OR (b)

2003年 8月25日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 0290645303

【提出日】 平成14年10月31日

【あて先】 特許庁長官 殿

【国際特許分類】 H04L 7/00

【発明者】

【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社
内

【氏名】 伊藤 鎮

【特許出願人】

【識別番号】 000002185

【氏名又は名称】 ソニー株式会社

【代表者】 安藤 国威

【連絡先】 知的財産部 0 3 - 5 4 4 8 - 2 1 3 7

【手数料の表示】

【予納台帳番号】 005094

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 スクランプラ、送信装置および受信装置

【特許請求の範囲】

【請求項 1】 第 1 のシフトレジスタと、

該第 1 のシフトレジスタの出力部に入力部が接続される第 2 のシフトレジスタと、

前記第 1 のシフトレジスタの出力データと前記第 2 のシフトレジスタの出力データとを入力して EXOR 演算を実施し、出力部が前記第 1 のシフトレジスタの入力部に接続される第 1 の EXOR 演算手段と、

該第 1 の EXOR 演算手段の出力データと送信データとを入力して EXOR 演算を実施する第 2 の EXOR 演算手段と、

1 または複数の出力部を有してビットデータをパラレルまたはシリアルに出力するデータ発生手段と、

前記第 2 の EXOR 演算手段の出力データと前記データ発生手段の出力データとを入力していずれか一方をスクランブラ出力データとして選択的に出力する第 1 の切換手段とを有して構成され、

前記データ発生手段の少なくとも 1 つの出力部が直接的にあるいは切換手段を介して前記第 1 のシフトレジスタに接続されることを特徴とするスクランブラ。

【請求項 2】 データ発生手段からのシリアル出力データと第 1 の EXOR 演算手段の出力データとを入力していずれか一方を第 1 のシフトレジスタへ選択的に出力する第 2 の切換手段を備えることを特徴とする請求項 1 記載のスクランブラ。

【請求項 3】 請求項 1 または請求項 2 に記載されたスクランブラと、

少なくとも該スクランブラとデスクランブラとの同期をとるための送信データが前記スクランブラへ入力される間において、データ発生手段の出力データをスクランブラ出力データとして出力するように第 1 の切換手段を制御する制御手段とを有して構成されることを特徴とする送信装置。

【請求項 4】 第 1 のシフトレジスタと、

該第 1 のシフトレジスタの出力部に入力部が接続される第 2 のシフトレジスタ

と、

前記第1のシフトレジスタの出力データと前記第2のシフトレジスタの出力データとを入力してE X O R演算を実施し、出力部が前記第1のシフトレジスタの入力部に接続される第1のE X O R演算手段と、

該第1のE X O R演算手段の出力データと送信データとを入力してE X O R演算を実施する第2のE X O R演算手段と、

前記第1のシフトレジスタおよび前記第2のシフトレジスタへビットデータ列を出力するデータ発生手段とを有して構成されるスクランブラと、

該スクランブラとデスクランブラとの同期をとるための送信データが前記スクランブラに入力される前に、前記データ発生手段からビットデータ列を出力して、当該ビットデータ列を前記第1のシフトレジスタおよび前記第2のシフトレジスタに記憶させるように制御する制御手段とを有して構成されることを特徴とする送信装置。

【請求項5】 第1のシフトレジスタと、

該第1のシフトレジスタの出力部に入力部が接続される第2のシフトレジスタと、

前記第1のシフトレジスタの出力データと前記第2のシフトレジスタの出力データとを入力してE X O R演算を実施する第1のE X O R演算手段と、

ビットデータをシリアルに出力するデータ発生手段と、

前記第1のE X O R演算手段の出力データと前記データ発生手段の出力データとを入力していずれか一方を前記第1のシフトレジスタへ出力する切換手段と、

該切換手段の出力データと送信データとを入力してE X O R演算を実施する第2のE X O R演算手段とを有して構成されるスクランブラ。

【請求項6】 請求項5に記載されたスクランブラと、

該スクランブラとデスクランブラとの同期をとるための送信データが前記スクランブラへ入力される間において、前記データ発生手段の出力データが前記第1のシフトレジスタおよび前記第2のE X O R演算手段へ入力されるように前記切換手段を制御する制御手段とを有して構成されることを特徴とする送信装置。

【請求項7】 所定の周期でランダムなビットデータ列を出力する乱数発生

手段と、

該乱数発生手段の出力データと送信データとを入力してE X O R演算を実施するE X O R演算手段と、

少なくともビットデータをシリアルに出力する出力部を有するデータ発生手段と、

前記E X O R演算手段の出力データと前記データ発生手段の出力データとを入力していずれか一方をスクランブラ出力データとして選択的に出力する切換手段とを有して構成されるスクランブラと、

少なくとも該スクランブラとデスクランブラとの同期をとるための送信データが前記スクランブラへ入力される間において、前記データ発生手段の出力データをスクランブラ出力データとして出力するように前記切換手段を制御する制御手段とを有して構成されることを特徴とする送信装置。

【請求項 8】 所定の周期でランダムなビットデータ列を出力する乱数発生手段と、

該乱数発生手段の出力データと送信データとを入力してE X O R演算を実施するE X O R演算手段と、

ビットデータをパラレルに前記乱数発生手段へ出力する複数の出力部を有するデータ発生手段とを有して構成されるスクランブラと、

該スクランブラとデスクランブラとの同期をとるための送信データが前記スクランブラへ入力される前に、前記データ発生手段から前記乱数発生手段へビットデータ列を出力するように制御する制御手段とを有して構成されることを特徴とする送信装置。

【請求項 9】 所定の周期でランダムなビットデータ列を出力する乱数発生手段と、

該乱数発生手段の出力データと送信データとを入力してE X O R演算を実施するE X O R演算手段と、

ビットデータをシリアルに前記乱数発生手段へ出力する出力部を有するデータ発生手段とを有して構成されるスクランブラと、

該スクランブラとデスクランブラとの同期をとるための送信データが前記スク

ランブラへ入力される間において、前記データ発生手段から前記乱数発生手段へビットデータ列を出力するように制御する制御手段とを有して構成されることを特徴とする送信装置。

【請求項10】 所定の周期でランダムなビットデータ列を出力する乱数発生手段と、

該乱数発生手段の出力データと伝送データとを入力してE X O R演算を実施してデスクランブラ出力データとして出力するE X O R演算手段と、

伝送データを選択的に前記乱数発生手段へ出力する切換手段とを有して構成されるデスクランブラと、

スクランブラと前記デスクランブラとの同期をとるための伝送データが前記デスクランブラへ入力される間において伝送データを前記乱数発生手段へ出力するように前記切換手段を制御するとともに、前記スクランブラと前記デスクランブラとの同期をとるための伝送データを解釈して情報を得る制御手段とを有して構成されることを特徴とする受信装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、データをスクランブル／デスクランブルして伝送するために使用されるスクランブラ、送信装置および受信装置に係り、特に自己同期型のスクランブル／デスクランブル方式を採用するスクランブラ、送信装置および受信装置に関するものである。

【0002】

【従来の技術】

伝送対象となるデータを暗号化することや、あるいは耐妨害特性の向上等のために伝送データにおいて同一のデータパターンが繰り返し発生するのを防止すること等を目的として、伝送対象となるデータをスクランブル／デスクランブルする通信方式が、種々の通信システムにおいて広く採用されている。このスクランブル／デスクランブル方式を使用するためには、伝送対象となる任意のデータについて、送信装置においてスクランブルするために作用させるデータと受信装置

においてデスクランブルするために作用させるデータとの整合をとること、すなわち送信装置と受信装置との間において同期をとる必要がある。同期をとる方法としては、スクランブルパターン（デスクランブルパターン）を予め規定しておく方法や、スクランブルパターンを規定する情報を伝送データの所定の位置に配置して伝送する方法等が用いられている。

【0003】

特に、伝送データ内に同一のデータパターンが繰り返し発生するのを防止するためにスクランブル／デスクランブル方式を使用する際には、スクランブルパターンとして汎用的なPN系列が用いられることが多い。図6は、PN系列を出力するデータスクランブラの一例を示す図である。図6において、101は4ビットのシフトレジスタ、102は3ビットのシフトレジスタ、103はビットデータX⁷とビットデータX⁴とを入力してイクスクルーシブOR（以下、EXORと称する）演算を実施するモジュロ2の加算器、104は加算器103の出力データとスクランブル（デスクランブル）対象となるデータとを入力してEXOR演算を実施するモジュロ2の加算器である。また、加算器103の出力データはシフトレジスタ101へ入力され、シフトレジスタ101の出力データはシフトレジスタ102へ入力される。すなわち、シフトレジスタ101とシフトレジスタ102とから加算器103の出力データを逐次的にシフトする7ビットのシフトレジスタが構成される。このような構成を有することで、図6に示されるデータスクランブラは、127（2⁷ - 1）ビットの周期でランダムなビットデータ列を出力し、擬似乱数発生回路として動作する。

【0004】

上記のようにPN系列を出力するデータスクランブラを用いて、スクランブル／デスクランブル方式を実施する際には、通常、送信装置に設けられるスクランブラおよび受信装置に設けられるデスクランブラとして基本的に同じ構成を有する図6のようなデータスクランブラを使用する。スクランブラとデスクランブラとを同一の構成とすることにより、スクランブルパターンを規定する情報を伝送データに含めることで送信装置と受信装置との同期をとる自己同期型通信システムを比較的容易に構築することが可能となる。例えば、ビットデータXと“0”

とに係る EXOR 演算値がビットデータ X 自体となることに鑑みて、スクランブラに対して所定のビット数連続して“0”を入力するとともに、スクランブラ出力データを逐次的にデスクランブラ内に設けられた所定のビット数のシフトレジスタへ出力するように通信システムを制御する。これにより、スクランブラを構成する所定のビット数のシフトレジスタとデスクランブラを構成する所定のビット数のシフトレジスタとには同じビットデータが逐次的に所定のビット数連続して入力されるから、スクランブラに所定のビット数連続して“0”が入力された後にはスクランブラのシフトレジスタとデスクランブラのシフトレジスタとには同じビットデータ列が記憶されることになり、送信装置と受信装置との間で同期がとられる。

【0005】

図7は、従来のデスクランブラの構成を示す図である。図7において、図6と同一符号は同一または相当する要素を示すのでその説明を省略する。105はデスクランブラに入力されるデータと加算器103からの出力データとを入力していずれか一方を選択的にシフトレジスタ101へ出力するスイッチである。このスイッチ105については、スクランブラに7ビット連続する“0”が入力されて当該データに対してスクランブル処理を実施することで得られたデータが伝送される間において、デスクランブラに入力される伝送データがシフトレジスタ101へ入力されるように切り換え制御を実施する。この際、スクランブラに入力された7ビットの“0”に対してそれぞれ得られるスクランブラの出力データすなわちスクランブラ内の加算器103の出力データがデスクランブラのシフトレジスタ101へ逐次的に入力される。これにより、7ビット目の“0”に対するスクランブラの出力データがデスクランブラのシフトレジスタ101へ入力された時点で、スクランブラ内の7ビットのシフトレジスタに記憶されるビットデータ列と、デスクランブラ内の7ビットのシフトレジスタに記憶されるビットデータ列とが等しくなり、同期がとられる。その後、加算器103から出力されるデータがシフトレジスタ101へ入力されるようにスイッチ105を切り換える。同期がとられた後は、伝送対象となるデータに対して、スクランブラおよびデスクランブラにおいて、同一のスクランブルパターンが作用するので、スクランブ

ル／デスクランブル方式を用いたデータ伝送が実施される。

【0006】

ところで、無線LANのパケット送信等に係る標準化を実現するための規格として与えられているIEEE802.11では、受信装置のデスクランブラを送信装置のスクランブラに同期させるために、パケットのヘッダ部において所定のビット数連続して“0”をスクランブラに入力する構成をとるべきことが規定されている。図8は、IEEE802.11に規定されるフレーム構造を示す図である。図8において、“PCLP Preamble”フィールドはフレーム同期をとるために用いられ、“SIGNAL”フィールドは伝送速度や変調方式等を通知するために用いられ、“SERVICE”フィールドはデスクランブラをスクランブラに同期させるために用いられる。“SERVICE”フィールドにおいて、前半の7ビットから成る“Scrambler Initialization”はスクランブラとデスクランブラとの同期をとるためにすべて“0”の値をとる。また、後半の9ビットから成る“Reserved SERVICE Bits”については、将来の使用を見越して現在その使用が保留されている。IEEE802.11に準拠して生成されたフレームデータについては、図6に示されるようなスクランブラおよび図7に示されるようなデスクランブラを用いて、“Scrambler Initialization”に応じてデスクランブラへ入力される伝送データの出力切り換え等に係る各種制御を適宜実施することにより、スクランブラとデスクランブラとの同期を確立する。なお、PN系列を用いたスクランブル／デスクランブル方式に係る技術については、例えば下記の特許文献1において記載が為されている。

【0007】

〔特許文献1〕

特開平8-204613号公報（[0009]～[0014]、第13図）

【0008】

【発明が解決しようとする課題】

上述したように、将来広範なカテゴリーの通信システムへの採用が予想されるIEEE802.11に準拠する通信システムでは、スクランブラとデスクランブラとの同期をとるために、フレーム内の所定の位置にて所定のビット数の“0”を連続して送信装置のスクランブラへ出力することが規定されている。この間においては

、送信装置から受信装置へ、“0”に対してスクランブル処理することで得られるデータが伝送される。然るに、この送信装置から出力される同期用の伝送データは、通常のデータフィールドを用いて伝送されるデータと比較すると、フレーム上での位置が確定していることに基づいて種々の属性を付与し得る優位性を備えたデータであるにもかかわらず、同期を確立すること以外には使用することがないために、通信システムとしてデータの有効利用に欠けるという課題があった。

【0009】

この発明は上記のような課題を解決するために為されたもので、例えばIEEE802.11に準拠するような汎用的な通信システムにおいて、伝送されるデータの有効利用を実現することができるスクランブラ、送信装置および受信装置を得ることを目的とする。

【0010】

【課題を解決するための手段】

この発明に係るスクランブラは、連結された第1のシフトレジスタおよび第2のシフトレジスタと、第1のシフトレジスタの出力データと第2のシフトレジスタの出力データとに係るEXOR演算データを第1のシフトレジスタの入力部へ出力する第1のEXOR演算手段と、第1のEXOR演算手段の出力データとスクランブラへ入力される送信データとに係るEXOR演算データを出力する第2のEXOR演算手段と、少なくとも第1のシフトレジスタにデータロード可能に構成されたデータ発生手段と、第2のEXOR演算手段の出力データとデータ発生手段の出力データとを入力していずれか一方をスクランブラ出力データとして選択的に出力する第1の切換手段とを有して構成されるようにしたものである。

【0011】

この発明に係るスクランブラは、データ発生手段からのシリアル出力データと第1のEXOR演算手段の出力データとを入力していずれか一方を第1のシフトレジスタへ選択的に出力する第2の切換手段を備えるようにしたものである。

【0012】

この発明に係る送信装置は、上記の2つの態様のいずれかのスクランブラと、

少なくともスクランブラとデスクランブラとの同期をとるための送信データがスクランブラへ入力される間において、データ発生手段の出力データをスクランブラ出力データとして出力するように第1の切換手段を制御する制御手段とを有して構成されるようにしたものである。

【0013】

この発明に係る送信装置は、連結された第1のシフトレジスタおよび第2のシフトレジスタと、第1のシフトレジスタの出力データと第2のシフトレジスタの出力データとに係るE X O R演算データを第1のシフトレジスタの入力部へ出力する第1のE X O R演算手段と、第1のE X O R演算手段の出力データとスクランブラへ入力される送信データとに係るE X O R演算データを出力する第2のE X O R演算手段と、第1のシフトレジスタおよび第2のシフトレジスタにデータロード可能に構成されたデータ発生手段とを備えるスクランブラと、スクランブラとデスクランブラとの同期をとるための送信データがスクランブラへ入力される前に、データ発生手段からビットデータ列を出力して、当該ビットデータ列を第1のシフトレジスタおよび第2のシフトレジスタに記憶させるように制御する制御手段とを有して構成されるようにしたものである。

【0014】

この発明に係るスクランブラは、連結された第1のシフトレジスタおよび第2のシフトレジスタと、第1のシフトレジスタの出力データと第2のシフトレジスタの出力データとに係るE X O R演算データを出力する第1のE X O R演算手段と、ビットデータをシリアルに出力するデータ発生手段と、第1のE X O R演算手段の出力データとデータ発生手段の出力データとを入力していずれか一方を第1のシフトレジスタへ出力する切換手段と、切換手段の出力データとスクランブラへ入力される送信データとに係るE X O R演算データを出力する第2のE X O R演算手段とを有して構成されるようにしたものである。

【0015】

この発明に係る送信装置は、上記の態様のスクランブラと、スクランブラとデスクランブラとの同期をとるための送信データがスクランブラへ入力される間において、データ発生手段の出力データが第1のシフトレジスタおよび第2のE X

OR演算手段へ入力されるように切換手段を制御する制御手段とを有して構成されるようにしたものである。

【0016】

この発明に係る受信装置は、所定の周期でランダムなビットデータ列を出力する乱数発生手段と、乱数発生手段の出力データと伝送データとを入力してEXOR演算を実施してデスクランブラ出力データとして出力するEXOR演算手段と、伝送データを選択的に乱数発生手段へ出力する切換手段とを有して構成されるデスクランブラと、スクランブラとデスクランブラとの同期をとるための伝送データがデスクランブラへ入力される間において伝送データを乱数発生手段へ出力するように切換手段を制御するとともに、スクランブラとデスクランブラとの同期をとるための伝送データを解釈して情報を得る制御手段とを有して構成されるようにしたものである。

【0017】

【発明の実施の形態】

以下、添付の図面を参照して本願発明に係る実施の形態について説明する。なお、本願発明の実施の形態に記載された実施例を構成する各要素と、特許請求の範囲に記載された発明を構成する各要素との対応関係を明らかにするために、本願発明の実施の形態に係る以下の説明文中において、実施例の各要素に対応する特許請求の範囲に記載された発明の各要素を、それぞれ実施例の各要素に続けて適宜かっこ書きにより示すものとする。

【0018】

実施の形態1.

図1は、この発明の実施の形態1によるスクランブラの構成を示す図である。図1において、1は4ビットのシフトレジスタ（第1のシフトレジスタ）、2はシフトレジスタ1の出力部に入力部が接続される3ビットのシフトレジスタ（第2のシフトレジスタ）、3はシフトレジスタ1の出力データであるビットデータX⁴とシフトレジスタ2の出力データであるビットデータX⁷とを入力してEXOR演算を実施するモジュロ2の加算器（第1のEXOR演算手段）、4は加算器3の出力データとスクランブラに入力される送信データとを入力してEXOR

演算を実施する加算器（第2のEXOR演算手段、EXOR演算手段）、5はシフトレジスタ1およびシフトレジスタ2から成る7ビットのシフトレジスタへビットデータをパラレルに出力する複数のパラレル出力部および別途にビットデータをシリアルに出力するシリアル出力部を有するデータ発生器（データ発生手段）、6は加算器4からの出力データとデータ発生器5からの出力データとを入力していずれか一方を選択的にスクランブラ出力データとして出力するスイッチ（第1の切換手段、切換手段）である。加算器3の出力データはシフトレジスタ1へも入力される。また、シフトレジスタ1、シフトレジスタ2および加算器3から、所定の周期でランダムなビットデータ列を出力する乱数発生手段が構成される。なお、以降の説明においては、スクランブラへ入力されるデータを「送信データ」と称し、スクランブラから出力されデスクランブラへ入力されるデータを「伝送データ」と称し、デスクランブラから出力されるデータを「受信データ」と称することで、これらデータを適宜識別するものとする。

【0019】

図2は、この発明の実施の形態1によるデスクランブラの構成を示す図である。図2において、11は4ビットのシフトレジスタ、12は3ビットのシフトレジスタ、13はビットデータX4とビットデータX7とを入力してEXOR演算を実施するモジュロ2の加算器、14は加算器13からの出力データとデスクランブラへ入力される伝送データとを入力してEXOR演算を実施する加算器（EXOR演算手段）、15は加算器13からの出力データとデスクランブラへ入力される伝送データとのいずれか一方を選択的にシフトレジスタ11へ出力するスイッチ（切換手段）である。なお、伝送データをデスクランブルすることなく取り出す為に、伝送データを別途取り出す配線路が設けられる。また、シフトレジスタ11、シフトレジスタ12および加算器13から、所定の周期でランダムなビットデータ列を出力する乱数発生手段が構成される。

【0020】

次に、動作について説明する。送信装置では、送信装置のスクランブラと受信装置のデスクランブラとの同期をとるために7ビット連続する“0”から成るデータすなわち“Scrambler Initialization”がスクランブラへ入力される際には

、送信装置内のCPU（制御手段）を用いてスイッチ6の切り換え制御を実施して、データ発生器5からの出力データをスクランブラ出力データとして出力する。これにより、同期確立用の7ビットの送信データがスクランブラへ入力される間においては、データ発生器5からの出力データを同期確立用の伝送データとして伝送する。また、同期確立用の7ビットのデータ入力が完了した後に、データ発生器5からスイッチ6を介して伝送した7ビットのビットデータ列と同一のビットデータ列をシフトレジスタ1およびシフトレジスタ2へ平行に出力して記憶させる。この際、スイッチ6を介して時系列に出力されたそれぞれのビットデータが順にビットデータX⁷～ビットデータX¹となるようにビットデータ列を出力する。次に、加算器4からの出力データをスクランブラ出力データとして出力するようにスイッチ6の切り換え制御を実施する。上記のように動作させることにより、同期確立用の送信データの後にスクランブラへ入力される送信データについては、当該データに対してスクランブル処理を実施することで得られたデータを送信装置から伝送する。

【0021】

受信装置では、受信装置内のCPU（制御手段）を用いて同期確立用の7ビットの伝送データがデスクランブラへ入力される間において、伝送データがシフトレジスタ11へ入力されるようにスイッチ15の切り換え制御を実施する。この際、シフトレジスタ11およびシフトレジスタ12から成る7ビットのシフトレジスタへ同期確立用の7ビットの伝送データが逐次的に入力される。これにより、7ビット目の同期確立用のビットデータがシフトレジスタ11へ入力された時点で、スクランブラ内の7ビットのシフトレジスタに記憶されるビットデータ列と、デスクランブラ内の7ビットのシフトレジスタに記憶されるビットデータ列とが等しくなり、同期がとられる。次に、加算器13から出力されるデータがシフトレジスタ11へ入力されるようにスイッチ15の切り換え制御を実施する。同期がとられた後は、スクランブラおよびデスクランブラにおいて、それぞれ対応する送信データおよび伝送データに対して同一のスクランブルパターンが作用するから、スクランブル／デスクランブル方式を用いたデータ伝送が実施される。また、同期確立用の7ビットの伝送データについては、スイッチ15を介して

シフトレジスタ 11 へ出力するのみではなく、別途設けられた信号線を介して伝送データを取り出す。したがって、スクランブラ内のデータ発生器 5 から出力された同期確立用の伝送データを受信装置において取り出すことができるから、これを CPU により解釈して例えば伝送特性等に係る情報を得ることが可能となる。同期確立用の伝送データとしては、7 ビット全てが “0” となるデータ以外の任意のデータを用いることが可能であるから、データ発生器 5 から出力されるデータを同期確立以外の用途に容易に使用することができる。

【0022】

以上のように、この実施の形態 1 によれば、シフトレジスタ 1 およびシフトレジスタ 2 から成る 7 ビットのシフトレジスタと、加算器 3 と、加算器 4 と、シフトレジスタにデータロード可能であるとともに別途シフトレジスタにロードしたビットデータ列と同一のビットデータ列を出力可能に構成されたデータ発生器 5 と、加算器 4 の出力データとデータ発生器 5 の出力データとのいずれか一方を選択的にスクランブラ出力データとして出力するスイッチ 6 とを有して構成されるスクランブラを用いて、同期確立用の送信データがスクランブラに入力される間において、データ発生器 5 からの出力データがスクランブラ出力データとして出力されるようにスイッチ 6 を切り換え制御するように構成したので、データ発生器 5 から出力されるデータを同期確立用の伝送データとして伝送するから、同期確立用のデータを同期確立以外の用途に用いることが可能となって、例えば IEEE 802.11 に準拠するような汎用的な通信システムにおいて伝送されるデータの有効利用を実現することができるという効果を奏する。

【0023】

また、受信装置においては、同期確立用の伝送データを取り出すとともに、伝送特性等に係る情報を示すビットデータ列が同期確立用の伝送データに含まれていれば、これを解釈して情報を得るように構成したので、同期確立用のデータを同期確立以外の用途に用いることが可能となって、例えば IEEE802.11 に準拠するような汎用的な通信システムにおいて伝送されるデータの有効利用を実現することができるという効果を奏する。

【0024】

なお、この発明の実施の形態 1 によるスクランブラを有する送信装置については、データ発生器 5 から出力される同期確立用の伝送データに対してはスクランブルを掛けないので、スクランブラへ入力される同期確立用の送信データとしては必ずしも所定のビット数“0”が連続するデータを用いる必要がなく、任意のビットパターンを有する同期確立用の送信データをスクランブラへ入力することができるから、IEEE802.11とは異なるフレームフォーマットを有する他の種々の規格に準拠する通信システムに適用することが可能である。また、実施の形態 1 においては、同期確立用に 7 ビット連続する“0”がスクランブラへ入力される間においてデータ発生器 5 からの出力データをスクランブラ出力データとして出力するように制御したが、送信装置内のスクランブラと受信装置内のデスクランブラとに同一のビットデータ列を記憶させてスクランブル/デスクランブルを開始する前の期間においてもデータ発生器 5 からの出力データを伝送するように制御することも可能である。また、データ発生器 5 からの出力データに対してはスクランブルを掛けないので、有意な情報をそのまま伝送することも考えられるが、情報の漏洩防止等のために有意な情報に対して所定の方式に基づいた暗号化を実施することで得られるデータを伝送することも可能である。また、実施の形態 1 においては、シフトレジスタ 1 およびシフトレジスタ 2 から成るシフトレジスタを 7 ビットとしているが、これは IEEE802.11 により規定されるフレームフォーマットの“Scrambler Initialization”が 7 ビットであることに対応したものであって、PN 系列を発生するように構成されるのであれば、入力される送信データのフレームフォーマットに応じてシフトレジスタ 1 およびシフトレジスタ 2 のビット数を適宜選定することが可能である。さらに、実施の形態 1 においては、2 個のシフトレジスタ 1, 2 と 1 個の加算器 3 とを用いて PN 系列を発生する回路を構成しているが、所定の周期でランダムなビットデータ列を出力する機能を奏する他の種々の形態の回路構成を採ることが可能である。

【0025】

図 3 は、この発明の実施の形態 1 によるスクランブラの変形例の構成を示す図である。図 3 において、図 1 と同一符号は同一または相当する要素を示すのでその説明を省略する。21 はビットデータをシリアルに出力するシリアル出力部を

有するデータ発生器（データ発生手段）、22は加算器3からの出力データとデータ発生器21からの出力データとのいずれか一方を入力して選択的にシフトレジスタ1へ出力するスイッチ（第2の切換手段）である。

【0026】

次に、変形例の動作について説明する。送信装置では、スクランブラとデスクランブラとの同期をとるための“Scrambler Initialization”がスクランブラへ入力される間においては、送信装置内のCPUによりスイッチ6およびスイッチ22の切り換え制御を実施して、データ発生器21からの出力データをスクランブラ出力データとして出力するとともにシフトレジスタ1へ出力する。これにより、データ発生器21からの出力データが逐次的にシフトレジスタ1へ入力されるとともに送信装置から伝送される。次に、送信装置内のCPU6により、スイッチ6の切り換え制御を実施して加算器4からの出力データをスクランブラ出力データとして出力するとともに、スイッチ22の切り換え制御を実施して加算器3からの出力データをシフトレジスタ1へ出力する。これにより、“Scrambler Initialization”の後にスクランブラへ入力されるデータについては、当該データに対してスクランブル処理することで得られたデータを送信装置から伝送する。なお、受信装置の動作については、上記の実施の形態と同様であるのでその説明を省略する。

【0027】

この変形例に係るスクランブラを用いることで、上記の実施の形態1と同等の効果を奏するとともに、データ発生器21からのシリアル出力データと加算器3からの出力データとを入力していずれか一方をシフトレジスタ1へ選択的に出力するスイッチ22を備えるように構成したので、データ発生器21にはビットデータをシリアルに出力する出力部を1つ設ければよく、簡易な構成を有するデータ発生器を用いることでスクランブラ全体の回路構成を簡略化することができるという効果を奏する。

【0028】

実施の形態2.

図4は、この発明の実施の形態2によるスクランブラの構成を示す図である。

図4において、図1と同一符号は同一または相当する要素を示すのでその説明を省略する。31はシフトレジスタ1およびシフトレジスタ2から成る7ビットのシフトレジスタに対してビットデータをパラレルに出力する複数のパラレル出力部を有するデータ発生器（データ発生手段）である。なお、図4に示されるスクランブラは、図1に示されるスクランブラと比較するとデータ発生器31からの出力データをスクランブラ出力データとして出力するためのスイッチ6が省略されている。また、デスクランブラについては、実施の形態1によるデスクランブラと同じものを使用するので、その説明を省略する。

【0029】

次に、動作について説明する。送信装置では、スクランブラとデスクランブラとの同期をとるための“Scrambler Initialization”がスクランブラへ入力される前に、送信装置内のCPUによる制御に基づいて、データ発生器31からシフトレジスタ1およびシフトレジスタ2へビットデータ列をパラレルに出力して、当該ビットデータ列をシフトレジスタ1およびシフトレジスタ2に初期データとして記憶させる。“Scrambler Initialization”がスクランブラへ入力される間においては、加算器4は送信データとして与えられる“0”と加算器3の出力データとのEXOR演算を実施して、演算データを逐次的に出力する。EXOR演算の対象となる一方のビットデータが“0”であることで、この演算データは加算器3からの出力データに等しくなる。この実施の形態2によるスクランブラは上記のように動作するので、例えば参照テーブルを用いて、7ビットの伝送データが所望のビットデータ列となるように初期データを設定することで、スクランブラから出力される同期確立用の伝送データを同期確立以外の用途に使用することが可能となる。なお、受信装置内のデスクランブラの動作については実施の形態1と同様であるので、その説明を省略する。

【0030】

以上のように、この実施の形態2によれば、シフトレジスタ1およびシフトレジスタ2から成る7ビットのシフトレジスタと、加算器3と、加算器4と、シフトレジスタにデータロード可能に構成されたデータ発生器31とを有して構成されるスクランブラを用いて、同期確立用の送信データがスクランブラへ入力され

る前に、データ発生器 3 1 からビットデータ列を出力して、当該ビットデータ列をシフトレジスタ 1 およびシフトレジスタ 2 に記憶させるように制御するので、加算器 3 から出力される 7 ビットのデータが所望の伝送データとなるようにデータ発生器 3 1 からシフトレジスタ 1 およびシフトレジスタ 2 へ出力される初期データを適宜設定することで、同期確立用の伝送データを同期確立以外の用途に用いることが可能となるから、例えば IEEE802.11 に準拠するような汎用的な通信システムにおいて、伝送されるデータの有効利用を実現することができるという効果を奏する。なお、実施の形態 1 と同様に、P N 系列を発生する回路については、種々の形態をとることができる。

【0 0 3 1】

実施の形態 3.

図 5 は、この発明の実施の形態 3 によるスクランブラの構成を示す図である。図 5 において、図 1 と同一符号は同一または相当する要素を示すのでその説明を省略する。4 1 はビットデータをシリアルに出力するシリアル出力部を有するデータ発生器（データ発生手段）、4 2 は加算器 3 からの出力データとデータ発生器 4 1 からの出力データとを入力していずれか一方を選択的にシフトレジスタ 1 および加算器 4 へ出力するスイッチ（切換手段）である。なお、デスクランブラについては、実施の形態 1 によるデスクランブラと同じものを使用するので、その説明を省略する。

【0 0 3 2】

次に、動作について説明する。送信装置では、スクランブラとデスクランブラとの同期をとるための “Scrambler Initialization” がスクランブラへ入力される間において、送信装置内の C P U によりスイッチ 4 2 の切り換え制御を実施して、データ発生器 4 1 からの出力データをシフトレジスタ 1 および加算器 4 へ出力する。これにより、データ発生器 4 1 から出力されるビットデータ列がシフトレジスタ 1 およびシフトレジスタ 2 から成る 7 ビットのシフトレジスタへ入力されるとともに、上述したようにビットデータ X と “0” との E X O R 演算値はビットデータ X となることに基づいて当該ビットデータ列がスクランブラから伝送されて受信装置内の 7 ビットのシフトレジスタへ入力される。

【0033】

以上のように、この実施の形態3によれば、シフトレジスタ1およびシフトレジスタ2から成る7ビットのシフトレジスタと、加算器3と、加算器4と、ビットデータをシリアルに出力するデータ発生器41と、加算器3からの出力データとデータ発生器41からの出力データとを切り換えるスイッチ42とを有して構成されるスクランブラを用いて、同期確立用の送信データがスクランブラへ入力される間において、データ発生器41からの出力データがシフトレジスタ1および加算器4へ入力されるようにスイッチ42の切り換え制御を実施するので、データ発生器41からの出力データを同期確立用の伝送データとして伝送するから、同期確立用のデータを同期確立以外の用途に用いることが可能となって、例えばIEEE802.11に準拠するような汎用的な通信システムにおいて伝送されるデータの有効利用を実現することができるという効果を奏する。なお、実施の形態1と同様に、PN系列を発生する回路については、種々の形態をとることができる。

【0034】

上記実施の形態1から実施の形態3により説明されるスクランブラ、送信装置および受信装置は、本願発明を限定するものではなく、例示することを意図して開示されているものである。本願発明の技術的範囲は特許請求の範囲により定められるものであり、特許請求の範囲に記載された技術的範囲において種々の設計の変更が可能である。

【0035】

【発明の効果】

以上のように、この発明によれば、連結された第1のシフトレジスタおよび第2のシフトレジスタと、第1のシフトレジスタの出力データと第2のシフトレジスタの出力データとに係るEXOR演算データを第1のシフトレジスタの入力部へ出力する第1のEXOR演算手段と、第1のEXOR演算手段の出力データと送信データとに係るEXOR演算データを出力する第2のEXOR演算手段と、少なくとも第1のシフトレジスタにデータロード可能に構成されたデータ発生手段と、第2のEXOR演算手段の出力データとデータ発生手段の出力データとを入力していずれか一方をスクランブラ出力データとして選択的に出力する第1の

切換手段とを有して構成されるスクランブラを設けるようにしたので、スクランブラとデスクランブラとの同期をとるための送信データがスクランブラへ入力される間において、データ発生手段の出力データをスクランブラ出力データとして出力するように第1の切換手段を制御することにより、スクランブラへ入力される送信データのビットパターンに影響されることなくデータ発生手段から出力されるデータを同期確立用の伝送データとして伝送できるから、同期確立用のデータを同期確立以外の用途に用いることが可能となって、フレーム内の所定の位置で同期確立用のデータがスクランブラへ入力されることが規定されたデータ伝送フォーマットを有する汎用的な通信システムにおいて、伝送されるデータの有効利用を実現することができるという効果を奏する。

【0036】

この発明によれば、スクランブラにおいて、データ発生手段からのシリアル出力データと第1のEXOR演算手段の出力データとを入力していずれか一方を第1のシフトレジスタへ選択的に出力する第2の切換手段を備えるように構成したので、データ出力手段にはビットデータをシリアルに出力する出力部を1つ設ければよく、簡易な構成を有するデータ発生手段を用いることで、スクランブラ全体の回路構成を簡略化することができるという効果を奏する。

【0037】

この発明によれば、連結された第1のシフトレジスタおよび第2のシフトレジスタと、第1のシフトレジスタの出力データと第2のシフトレジスタの出力データとに係るEXOR演算データを第1のシフトレジスタの入力部へ出力する第1のEXOR演算手段と、第1のEXOR演算手段の出力データと送信データとに係るEXOR演算データを出力する第2のEXOR演算手段と、第1のシフトレジスタおよび第2のシフトレジスタにデータロード可能に構成されたデータ発生手段とを有して構成されるスクランブラを設けるようにしたので、スクランブラとデスクランブラとの同期をとるための送信データがスクランブラへ入力される前に、データ発生手段からビットデータ列を出力して、当該ビットデータ列を第1のシフトレジスタおよび第2のシフトレジスタに記憶させるように制御することにより、第2のEXOR演算手段から出力される所定のビット数のデータが所

望のデータとなるようにデータ発生手段から第1のシフトレジスタおよび第2のシフトレジスタへ出力する初期データを適宜設定することで、同期確立用のデータを同期確立以外の用途に用いることが可能となるから、同期確立用にスクランブラへ“0”が連続するビットパターンの送信データが入力される例えばIEEE802.11に準拠するような汎用的な通信システムにおいて、伝送されるデータの有効利用を実現することができるという効果を奏する。

【0038】

この発明によれば、連結された第1のシフトレジスタおよび第2のシフトレジスタと、第1のシフトレジスタの出力データと第2のシフトレジスタの出力データとに係るEXOR演算データを出力する第1のEXOR演算手段と、ビットデータをシリアルに出力するデータ発生手段と、第1のEXOR演算手段の出力データとデータ発生手段の出力データとを入力していずれか一方を第1のシフトレジスタへ出力する切換手段と、切換手段の出力データと送信データとに係るEXOR演算データを出力する第2のEXOR演算手段とを有して構成されるスクランブラを設けるように構成したので、スクランブラとデスクランブラとの同期をとるための送信データがスクランブラへ入力される間において、データ発生手段の出力データが第1のスクランブラおよび第2のEXOR演算手段へ入力されるように切換手段を制御することにより、同期確立用にスクランブラへ“0”が連続するビットパターンの送信データが入力されると、データ発生手段から出力されるデータを同期確立用の伝送データとして伝送するから、同期確立用のデータを同期確立以外の用途に用いることが可能となつて、例えばIEEE802.11に準拠するような汎用的な通信システムにおいて、伝送されるデータの有効利用を実現することができるという効果を奏する。

【0039】

この発明によれば、所定の周期でランダムなビットデータ列を出力する乱数発生手段と、乱数発生手段の出力データと伝送データとを入力してEXOR演算を実施してデスクランブラ出力データとして出力するEXOR演算手段と、伝送データを選択的に乱数発生手段へ出力する切換手段とを有して構成されるデスクランブラと、スクランブラとデスクランブラとの同期をとるための伝送データがデ

スクランブラへ入力される間において伝送データを乱数発生手段へ出力するように切換手段を制御するとともに、スクランブラとデスクランブラとの同期をとるための伝送データを解釈して情報を得る制御手段とを有して構成されるようにしたので、伝送特性等に係る情報を示すビットデータ列が同期確立用の伝送データに含まれていれば、これを解釈して情報が得られるから、同期確立用のデータを同期確立以外の用途に用いることが可能となって、フレーム内の所定の位置で同期確立用のデータがデスクランブラへ入力されることが規定されたデータ伝送フォーマットを有する汎用的な通信システムにおいて、伝送されるデータの有効利用を実現することができるという効果を奏する。

【図面の簡単な説明】

【図 1】 この発明の実施の形態 1 によるスクランブラの構成を示す図である。

【図 2】 この発明の実施の形態 1 によるデスクランブラの構成を示す図である。

【図 3】 この発明の実施の形態 1 に係る変形例によるスクランブラの構成を示す図である。

【図 4】 この発明の実施の形態 2 によるスクランブラの構成を示す図である。

【図 5】 この発明の実施の形態 3 によるスクランブラの構成を示す図である。

【図 6】 PN 系列を出力するデータスクランブラの一例を示す図である。

【図 7】 従来のスクランブラの構成を示す図である。

【図 8】 IEEE802.11 に規定されるフレーム構造を示す図である。

【符号の説明】

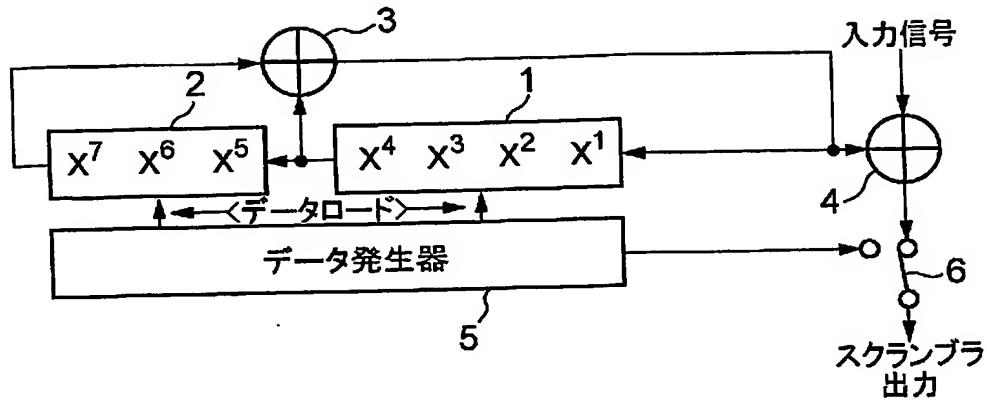
- 1 シフトレジスタ (第 1 のシフトレジスタ)、2 シフトレジスタ (第 2 のシフトレジスタ)、3 加算器 (第 1 の EXOR 演算手段)、4 加算器 (第 2 の EXOR 演算手段、EXOR 演算手段)、5 データ発生器 (データ発生手段)、6 スイッチ (第 1 の切換手段、切換手段)、11, 12 シフトレジスタ、13 加算器、14 加算器 (EXOR 演算手段)、15 スイッチ (切換手段)

)、21 データ発生器 (データ発生手段)、22 スイッチ (第2の切換手段)
)、31 データ発生器 (データ発生手段)、41 データ発生器 (データ発生
手段)、42 スイッチ (切換手段)

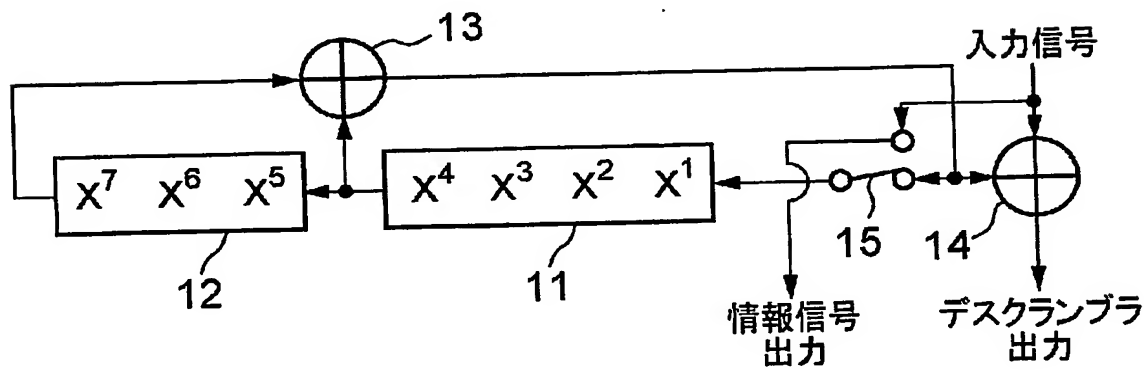
【書類名】

図面

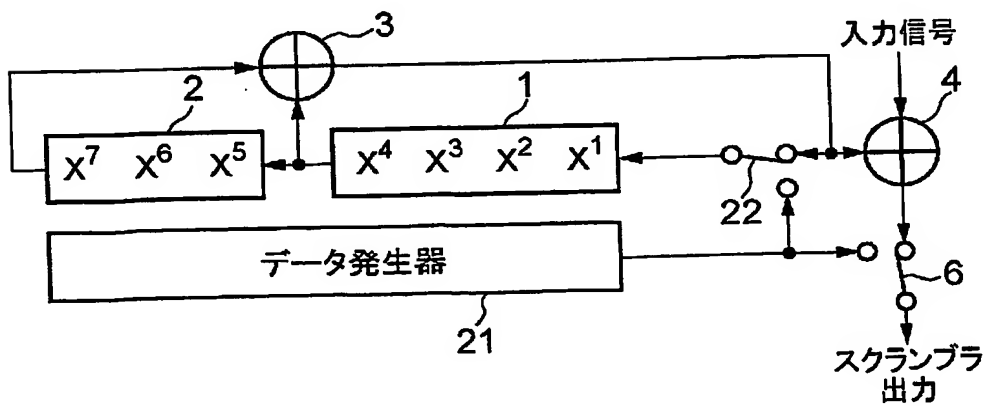
【図 1】



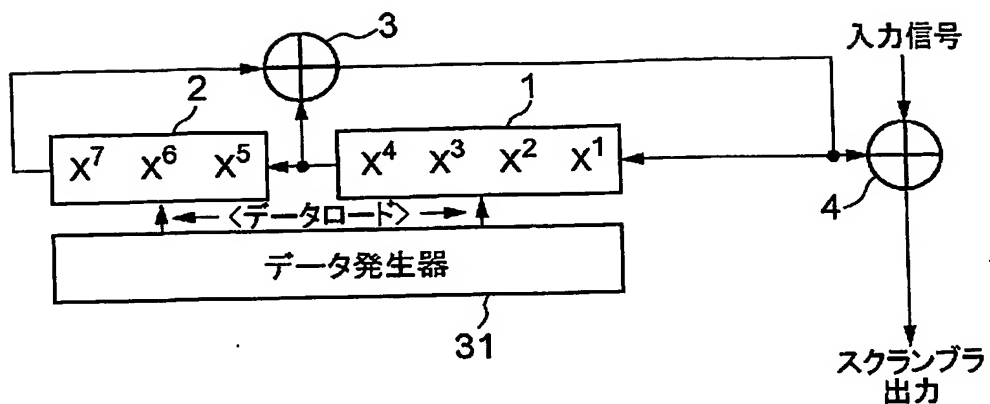
【図 2】



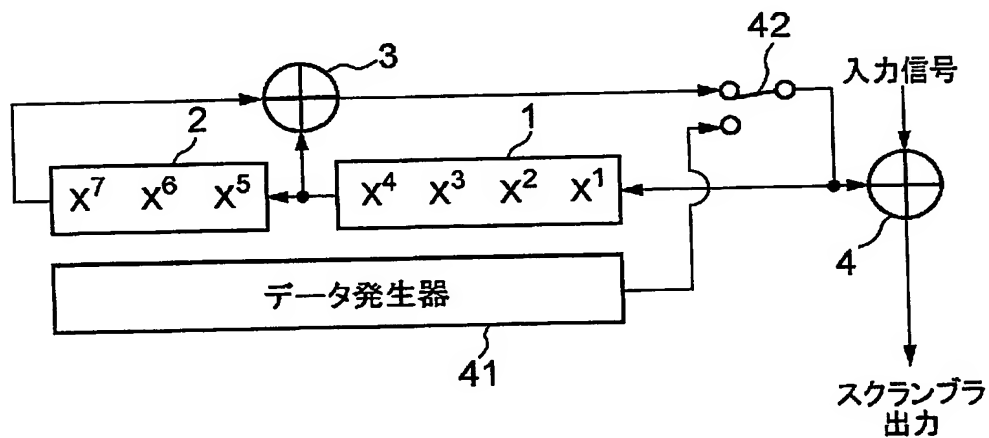
【図 3】



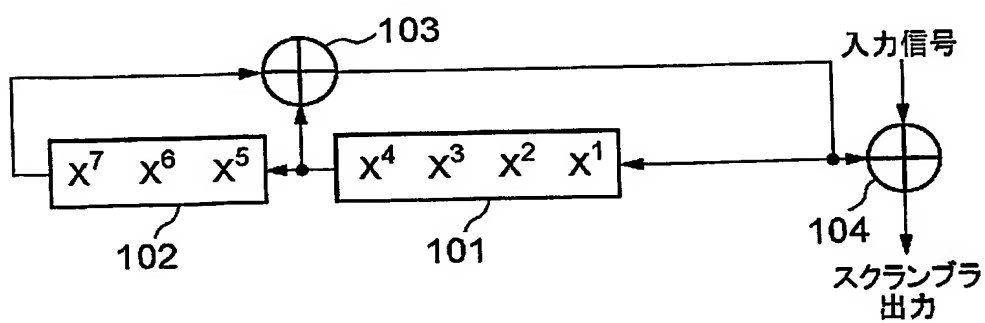
【図 4】



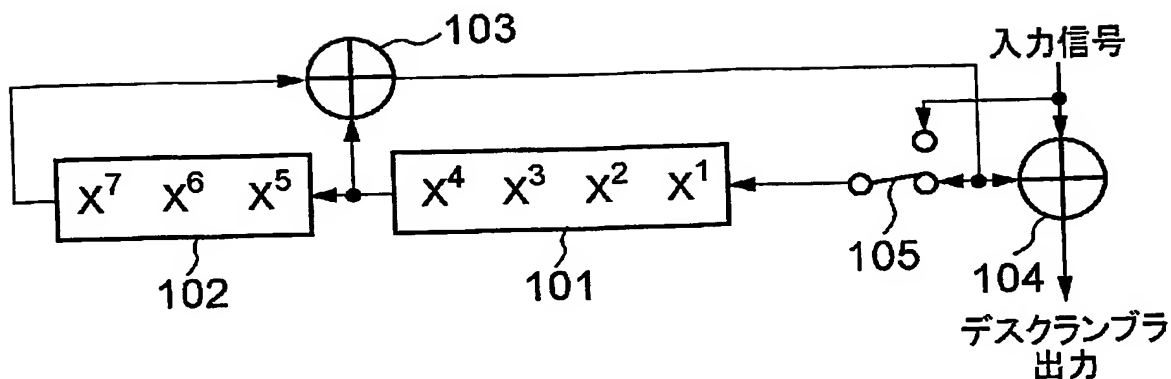
【図 5】



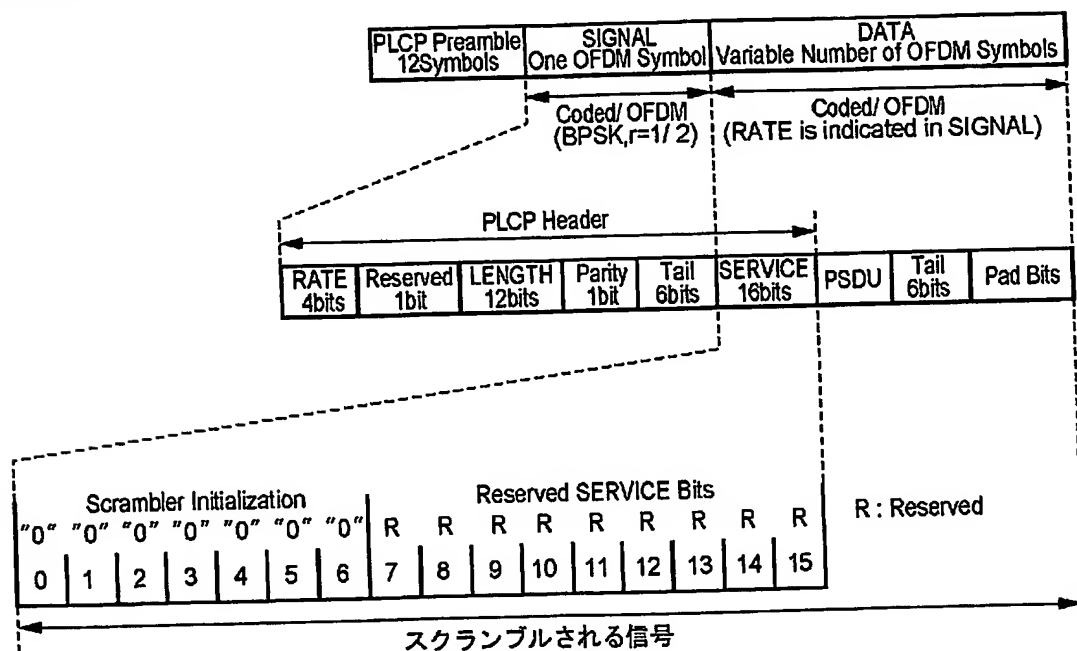
【図 6】



【図 7】



【図 8】



【書類名】 要約書

【要約】

【課題】 例えばIEEE802.11に準拠するような従来の通信システムでは、スクランブラとデスクランブラとの同期をとるために伝送されるデータが同期確立の為にのみ使用されるので、データの有効利用に欠けるという課題があった。

【解決手段】 送信装置において、シフトレジスタ1, 2と、EXOR演算を実施する加算器3, 4と、シフトレジスタ1, 2にデータロード可能に構成されたデータ発生器5と、スイッチ6とを有して構成されるスクランブラを備え、制御手段により、スクランブラとデスクランブラとの同期確立用の送信データがスクランブラへ入力される間において、データ発生器5の出力データをスクランブラ出力データとして出力するようにスイッチ6を切り換え制御する。

【選択図】 図1

特願2002-318579

出願人履歴情報

識別番号

[000002185]

1. 変更年月日

[変更理由]

住所
氏名

1990年 8月30日

新規登録

東京都品川区北品川6丁目7番35号

ソニー株式会社

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.